

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Takanori ISHII

Application No.:

Group Art Unit:

Filed: February 20, 2004

Examiner: FC.734.0351769-US

For: APPARATUS HAVING A TRANSFER MODE ABNORMALITY DETECTING
FUNCTION, STORAGE CONTROLLING APPARTUS, AND INTERFACE MODULE
FOR THE STORAGE CONTROLLING APPARATUS

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-298204

Filed: August 22, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: February 20, 2004

By: 

Paul I. Kravetz
Registration No. 35,230

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 8 月 2 2 日
Date of Application:

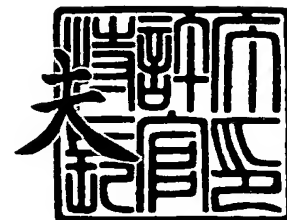
出 願 番 号 特 願 2 0 0 3 - 2 9 8 2 0 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 2 9 8 2 0 4]

出 願 人 富 士 通 株 式 有 限 公 司
Applicant(s):

2 0 0 4 年 1 月 5 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康



出 証 番 号 出 証 特 2 0 0 3 - 3 1 0 8 5 1 2

【書類名】 特許願
【整理番号】 0351769
【提出日】 平成15年 8月22日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 13/00
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 石井 孝典
【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
【代理人】
 【識別番号】 100092978
 【弁理士】
 【氏名又は名称】 真田 有
 【電話番号】 0422-21-4222
【手数料の表示】
 【予納台帳番号】 007696
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9704824

【書類名】 特許請求の範囲**【請求項 1】**

インターフェイスバスを介し 2 種類以上のモードで相互にデータ転送可能に接続された 2 以上のモジュールと、

前記 2 種類以上のモードの中から予め定められている基本モードと、本装置のリセット時もしくは該モジュール間のデータ転送時に実行されるモード設定シーケンスによって設定されたモードとの一致／不一致を判定する判定手段と、

該判定手段により不一致判定がなされた場合に転送モード異常が発生したものと判断してエラー通知を行なう通知手段とをそなえて構成されていることを特徴とする、転送モード異常検出機能を有する装置。

【請求項 2】

該インターフェイスバスが 64 ビット P C I (Peripheral Component Interconnect) バスで、前記 2 種類以上のモードが 64 ビット転送モードおよび 32 ビット転送モードで、前記基本モードが前記 64 ビット転送モードであり、

該通知手段が、該判定手段により不一致判定がなされた場合、前記転送モード異常として非効率転送状態が発生したものと判断してエラー通知を行なうことを特徴とする、請求項 1 記載の転送モード異常検出機能を有する装置。

【請求項 3】

ディスク装置とホストとの間にそなえられ該ホストの該ディスク装置に対するアクセスを制御するストレージ制御装置であって、

該ディスク装置とのインターフェイスを制御するディスクインターフェイスモジュールと、

該ホストとのインターフェイスを制御するホストインターフェイスモジュールと、
本装置全体を統括的に管理する管理モジュールと、

インターフェイスバスを介して該ディスクインターフェイスモジュール、該ホストインターフェイスモジュールおよび該管理モジュールをそれぞれ接続されこれらの該ディスクインターフェイスモジュール、該ホストインターフェイスモジュールおよび該管理モジュールの相互間をデータ転送可能に接続するブリッジモジュールとをそなえ、

該ディスクインターフェイスモジュール、該ホストインターフェイスモジュール、該管理モジュールおよび該ブリッジモジュールが、2 種類以上のモードで相互にデータ転送可能に接続されるとともに、

前記 2 種類以上のモードの中から予め定められている基本モードと、本ストレージ制御装置のリセット時もしくは該モジュール間のデータ転送時に実行されるモード設定シーケンスによって設定されたモードとの一致／不一致を判定する判定手段と、

該判定手段により不一致判定がなされた場合に異常が発生したものと判断してエラー通知を行なう通知手段とをそなえて構成されていることを特徴とする、ストレージ制御装置。

【請求項 4】

ディスク装置とホストとの間にそなえられ該ホストの該ディスク装置に対するアクセスを制御するストレージ制御装置であって、該ディスク装置もしくは該ホストとのインターフェイスを制御するインターフェイスモジュールと、本ストレージ制御装置全体を統括的に管理する管理モジュールと、該インターフェイスモジュールおよび該管理モジュールの相互間をデータ転送可能に接続するブリッジモジュールとをそなえて構成されたストレージ制御装置において用いられる上記インターフェイスモジュールであって、

本インターフェイスモジュールと該ディスク装置もしくは該ホストとの間のデータ転送を制御する第 1 転送処理部と、

本インターフェイスモジュールと該ブリッジモジュールとの間のデータ転送を制御する第 2 転送処理部とをそなえ、

これら 2 つの転送処理部が、インターフェイスバスを介し 2 種類以上のモードで相互にデータ転送可能に接続されるとともに、

前記 2 種類以上のモードの中から予め定められている基本モードと、本インターフェイスモジュールのリセット時もしくは該 2 つの転送処理部間のデータ転送時に実行されるモード設定シーケンスによって設定されたモードとの一致／不一致を判定する判定手段と、

該判定手段により不一致判定がなされた場合に異常が発生したものと判断してエラー通知を行なう通知手段とをそなえて構成されていることを特徴とする、ストレージ制御装置用インターフェイスモジュール。

【請求項 5】

該インターフェイスバスが 64 ビット P C I (Peripheral Component Interconnect) バスで、前記 2 種類以上のモードが 64 ビット転送モードおよび 32 ビット転送モードで、前記基本モードが前記 64 ビット転送モードであり、

該通知手段が、該判定手段により不一致判定がなされた場合、前記転送モード異常として非効率転送状態が発生したものと判断してエラー通知を行なうことを特徴とする、請求項 4 記載のストレージ制御装置用インターフェイスモジュール。

【書類名】明細書

【発明の名称】転送モード異常検出機能を有する装置並びにストレージ制御装置および同装置用インターフェイスモジュール

【技術分野】

【0001】

本発明は、例えばP C I (Peripheral Component Interconnect)バス等のインターフェイスバスを介し2種類以上のモード（例えば、64ビット転送モードと32ビット転送モード）で相互にデータ転送可能に接続された複数のモジュールから構成され、これらのモジュール間でのデータ転送モードの異常を検出するための機能をそなえた装置に関する。そして、本発明は、より具体的には、物理デバイス（例えば磁気ディスク装置）とホストとの間にそなえられ、このホストの物理デバイスに対するアクセスを制御するストレージ制御装置や、そのストレージ制御装置において用いられるインターフェイスモジュール（例えばホストインターフェイスモジュール、ディスクインターフェイスモジュール）に適用される。

【背景技術】

【0002】

図4は一般的なストレージ装置（ストレージ制御装置）の構成を示すブロック図で、この図4に示すストレージ装置1は、サーバ（ホスト）4からのアクセスに応じて、サーバ4からのデータを書き込んだり、サーバ4から要求されたデータを読み出してサーバ4へ転送したりするものである。

このストレージ装置1は、複数のディスクユニット（ディスク装置、物理デバイス）2aを有するディスクエンクロージャ2と、各ディスクユニット2aとサーバ4との間にそなえられサーバ4の各ディスクユニット2aに対するアクセスを制御するストレージ制御装置3とから構成されている。

【0003】

ストレージ制御装置3は、ディスクインターフェイスモジュール10、ホストインターフェイスモジュール20、管理モジュール30およびP C Iブリッジモジュール40をそなえて構成されている。

ここで、ディスクインターフェイスモジュール10は、ディスクインターフェイスバス54を介してディスクエンクロージャ2における各ディスクユニット2aとのインターフェイス（データ転送）を制御するものである。

【0004】

ホストインターフェイスモジュール20は、ファイバチャネルインターフェイスバス50を介してサーバ4とのインターフェイス（データ転送）を制御するものである。

管理モジュール30は、本ストレージ制御装置3の全体を統括的に管理するもので、サーバ4から各ディスクユニット2aに書き込まれるべきデータや、各ディスクユニット2aからサーバ4へ読み出されるべきデータを一時的に格納するキャッシュメモリを搭載され、このキャッシュメモリの管理を行なうものである。

【0005】

P C Iブリッジモジュール40は、P C Iバス（インターフェイスバス）51、52、53を介してディスクインターフェイスモジュール10、ホストインターフェイスモジュール20および管理モジュール30をそれぞれ接続され、これらのディスクインターフェイスモジュール10、ホストインターフェイスモジュール20および管理モジュール30の相互間をデータ転送可能に接続するものである。

【0006】

このような構成により、サーバ4からディスクユニット2aへのデータ書込や、ディスクユニット2aからサーバ4へのデータ読出は以下のように実行される。

サーバ4からディスクエンクロージャ2のディスクユニット2aにデータを書き込む際には、まず、書込対象データが、サーバ4からファイバチャネルインターフェイスバス50を介してホストインターフェイスモジュール20へ転送され、このホストインターフェ

イスモジュール 20 から P C I バス 5 2, P C I ブリッジモジュール 40 および P C I バス 5 3 を介して管理モジュール 30 のキャッシュメモリに一時的に格納される (図 4 中の矢印 A 1 参照)。この後、管理モジュール 30 のキャッシュメモリ上の書込対象データは、P C I バス 5 3, P C I ブリッジモジュール 40 および P C I バス 5 1 を介してディスクインターフェイスモジュール 10 へ転送され、このディスクインターフェイスモジュール 10 からディスクインターフェイスバス 5 4 を介して所定のディスクユニット 2 a に書き込まれることになる (図 4 中の矢印 A 2 参照)。

【0007】

逆に、ディスクエンクロージャ 2 のディスクユニット 2 a からサーバ 4 へデータを読み出す際には、まず、読出対象データが、そのデータを保持するディスクユニット 2 a からディスクインターフェイスバス 5 4 を介してディスクインターフェイスモジュール 10 へ転送され、このディスクインターフェイスモジュール 10 から P C I バス 5 1, P C I ブリッジモジュール 40 および P C I バス 5 3 を介して管理モジュール 30 のキャッシュメモリに一時的に格納される (図 4 中の矢印 A 3 参照)。この後、管理モジュール 30 のキャッシュメモリ上の読出対象データは、P C I バス 5 3, P C I ブリッジモジュール 40 および P C I バス 5 2 を介してホストインターフェイスモジュール 20 へ転送され、このホストインターフェイスモジュール 20 からファイバチャネルインターフェイスバス 5 0 を介してサーバ 4 へ読み出されることになる (図 4 中の矢印 A 4 参照)。

【0008】

次に、図 5 に示すブロック図を参照しながら、図 4 に示したストレージ制御装置 3 におけるディスクインターフェイスモジュール 10 およびホストインターフェイスモジュール 20 の構成について説明する。ディスクインターフェイスモジュール 10 とホストインターフェイスモジュール 20 とは、基本的に同一の構成を有しているが、ホストインターフェイスモジュール 20 には、ファイバチャネルインターフェイスバス 5 0 からの光信号を電気信号に変換する機能や、ホストインターフェイスモジュール 10 における電気信号を光信号に変換してファイバチャネルインターフェイスバス 5 0 へ送出する機能がそなえられ、ディスクインターフェイスモジュール 10 にはこれらの機能がそなえられていない点で異なっている。

【0009】

図 5 に示すように、ディスクインターフェイスモジュール 10 およびホストインターフェイスモジュール 20 (以下、インターフェイスモジュール 10, 20 という場合がある) は、C P U 11, チップセット 12, メモリ 13, インターフェイスモジュール L S I 14, データバッファ 15 およびファイバチャネルチップ 16 をそなえて構成されている。

【0010】

C P U (Central Processing Unit) 11 は、本インターフェイスモジュール 10, 20 を統括的に管理する機能を果たすものである。

チップセット (Chip Set) 12 は、C P U 11 を他デバイス (例えばメモリ 13) に繋ぐための機能や、P C I バス 17 に接続するための機能を有している。C P U 11 は、このチップセット 12 を介してメモリ 13 に接続されるとともに、さらにチップセット 12 および P C I バス 17 を介してインターフェイスモジュール L S I 14 に接続されている。なお、メモリ 13 は、例えば S D R A M (Synchronous Dynamic Random Access Memory) によって構成されている。

【0011】

インターフェイスモジュール L S I (Large Scale Integration) 14 は、C P U 11 からの指示に応じ、P C I バス 5 1, 5 2 を介して本インターフェイスモジュール 10, 20 と P C I ブリッジモジュール 30 との間のデータ転送の制御を行なう第 2 転送処理部として機能するもので、このインターフェイスモジュール L S I 14 には、データバッファ 15 が付設されている。

【0012】

このデータバッファ15は、例えばDDR(Double Data Rate)－SDRAMによって構成され、PCIブリッジモジュール40へ転送すべきデータや、PCIブリッジモジュール40から転送されてきたデータなどを一時的に格納するものである。

また、インターフェイスモジュール－LSI14には、PCIバス51, 52を介してPCIブリッジモジュール40が接続され、PCIバス(インターフェイスバス)17を介してチップセット12が接続され、PCIバス(インターフェイスバス)18を介してファイバチャネルチップ16が接続されている。

【0013】

さらに、インターフェイスモジュール－LSI14には、DMAC(Direct Memory Access Controller)としての機能がそなえられており、CPU11は、通常、所定の制御プログラムを実行することにより、ディスクリプタ(記述子)をインターフェイスモジュール－LSI14におけるDMACに設定し、インターフェイスモジュール－LSI14に、データ転送を実行させるようになっている。

【0014】

ファイバチャネルチップ(FC-Chip)16は、ファイバチャネルインターフェイスバス50もしくはディスクインターフェイスバス54を介して本インターフェイスモジュール10, 20と各ディスクユニット2aもしくはサーバ4との間のデータ転送を制御する第1転送処理部として機能するものである。

ところで、大容量で高速なデータ転送(広帯域データ転送)を行なうことを前提としたシステムにおいては、一般にPCIバスとしては64ビット幅のものが使用される。

【0015】

従って、上述したようなストレージ制御装置3においても、インターフェイスモジュール－LSI14(モジュール, 第2転送処理部)とファイバチャネルチップ(モジュール, 第1転送処理部)16との間を接続するPCIバス18や、インターフェイスモジュール－LSI14とPCIブリッジモジュール40とを接続するPCIバス51, 52や、管理モジュール30とPCIブリッジモジュール40とを接続するPCIバス53としては、大容量で高速なデータ転送(広帯域データ転送)を実現すべく、64ビット幅のものを使用することが一般的である。そのため、PCIバス18, 51～53に接続されるインターフェイスモジュール－LSI14, ファイバチャネルチップ16, 管理モジュール30やPCIブリッジモジュール40としては、64ビット幅対応の汎用チップ(LSI)が用いられる。

【0016】

PCIバス規格において64ビット幅は32ビット幅の拡張であるため、64ビットPCIバスでは、64ビット幅でのデータ転送(64ビット転送モード)を実行することも32ビット幅でのデータ転送(32ビット転送モード)を実行することも可能になっている。しかし、64ビットPCIバスを採用したシステムは、大容量で高速なデータ転送(広帯域データ転送)を実現するために、基本的に、常時、64ビット転送モードで運用される。

【0017】

そして、このようなシステムでは、通常、パワーオン時を含むリセット時やモジュール間データ転送時に、所定の転送モード設定シーケンス(32ビット転送モードもしくは64ビット転送モードの設定を行なうための信号のやり取り; 図6および図7参照)が実行され、その都度、64ビット転送モードが設定されるようになっている。

ここで、図6に示すシーケンス図を参照しながら、インターフェイスモジュール10, 20での所定の転送モード設定シーケンス(正常時動作)について説明する。インターフェイスモジュール10, 20のリセット時(パワーオン時を含む)や、インターフェイスモジュール－LSI14とファイバチャネルチップ16との間のデータ転送時や、インターフェイスモジュール－LSI14(インターフェイスモジュール10, 20)とPCIブリッジモジュール40との間のデータ転送時には、図6に示すように、まず、インターフェイスモジュール－LSI14がREQ64信号を有効化(アサート)することにより

、インターフェイスモジュール L S I 14 からファイバチャネルチップ 16 もしくは P C I ブリッジモジュール 40 に対し、64 ビット転送モードによる接続設定要求が伝えられる (矢印 A 11 参照)。

【0018】

この R E Q 64 信号のアサートに応じて、ファイバチャネルチップ 16 もしくは P C I ブリッジモジュール 40 が A C K 64 信号を有効化 (アサート) することにより、ファイバチャネルチップ 16 もしくは P C I ブリッジモジュール 40 からインターフェイスモジュール L S I 14 に対し、ファイバチャネルチップ 16 もしくは P C I ブリッジモジュール 40 において 64 ビット転送モードによる接続設定要求が確認されたことが伝えられる (矢印 A 12 参照)。

【0019】

この A C K 64 信号のアサートに応じて、インターフェイスモジュール L S I 14 とファイバチャネルチップ 16 もしくは P C I ブリッジモジュール 40 との間では、P C I バス 18, 51, 52 を介して 64 ビット転送モードでのデータ転送が開始されることになる (矢印 A 13 参照)。

ところが、上述のようなモード設定シーケンスを実行している際には、このシーケンスに係る信号の動作タイミングが、装置を構成する L S I 等の異常のために変動し、稀に 64 ビット転送モードではなく 32 ビット転送モードが設定されてしまう場合がある。このような状況 (インターフェイスモジュール 10, 20 での異常時動作) について、図 7 に示すシーケンス図を参照しながら説明する。

【0020】

図 7 に示す例においても、図 6 を参照しながら上述したシーケンスと同様、まず、インターフェイスモジュール L S I 14 が R E Q 64 信号をアサートすることにより、インターフェイスモジュール L S I 14 からファイバチャネルチップ 16 もしくは P C I ブリッジモジュール 40 に対し、64 ビット転送モードによる接続設定要求が伝えられる (矢印 A 21 参照)。

【0021】

この後、上述のような動作タイミングの変動等の異常発生によって、ファイバチャネルチップ 16 もしくは P C I ブリッジモジュール 40 からの A C K 64 信号がアサートされない、もしくは、A C K 64 信号がアサートされているがそのアサート状態がインターフェイスモジュール L S I 14 に伝達されていないといった状況が生じると (矢印 A 22 参照)、インターフェイスモジュール L S I 14 側では、A C K 64 信号が未アサートのままである。これに応じて、インターフェイスモジュール L S I 14 とファイバチャネルチップ 16 もしくは P C I ブリッジモジュール 40 との間では、P C I バス 18, 51, 52 を介し、64 ビット転送モードではなく 32 ビット転送モードでのデータ転送が開始されることになる (矢印 A 23 参照)。

【特許文献 1】特開昭 61-196353 号公報

【特許文献 2】特開平 7-98675 号公報

【発明の開示】

【発明が解決しようとする課題】

【0022】

このように 64 ビット転送モードではなく 32 ビット転送モードでデータ転送が実行されていても、現状のシステムでは、仕様上の問題は生じないため、このような状況 (非効率的なデータ転送状態) を検出するための手段は特にそなえられておらず、その状況を検出できず、つまりは解消することができない。ここで、上記の特許文献 1 や特許文献 2 は、いずれもバス拡張にかかる発明を開示しているだけであって、やはり、図 7 にて上述したような状況 (非効率的なデータ転送状態) を検出・解消することはできない。

【0023】

しかし、上述のごとく 32 ビット転送モードでデータ転送が実行されると、システムとしては、転送幅が減少することになるので、内部スループットが低下し、処理性能の低下

を招くことになる。従って、上述のような非効率的なデータ転送状態が生じた場合にその状態を検出し解消できるようにすることが望まれている。

本発明は、このような課題に鑑み創案されたもので、ハードウェアの特別な追加・変更を行なうことなく、基本モード（例えば64ビット転送モード）とは異なるモードでのデータ転送状態（例えば32ビット転送モードによる非効率的なデータ転送状態）を転送モード異常として検出し解消できるようにして、システムの処理性能の低下を確実に抑止することを目的とする。

【課題を解決するための手段】

【0024】

上記目的を達成するために、本発明の転送モード異常検出機能を有する装置（請求項1）は、インターフェイスバスを介し2種類以上のモードで相互にデータ転送可能に接続された2以上のモジュールと、前記2種類以上のモードの中から予め定められている基本モードと、本装置のリセット時もしくは該モジュール間のデータ転送時に実行されるモード設定シーケンスによって設定されたモードとの一致／不一致を判定する判定手段と、該判定手段により不一致判定がなされた場合に転送モード異常が発生したものと判断してエラー通知を行なう通知手段とをそなえて構成されていることを特徴としている。

【0025】

本発明のストレージ制御装置（請求項3）は、ディスク装置とホストとの間にそなえられ該ホストの該ディスク装置に対するアクセスを制御するものであって、該ディスク装置とのインターフェイスを制御するディスクインターフェイスモジュールと、該ホストとのインターフェイスを制御するホストインターフェイスモジュールと、本装置全体を統括的に管理する管理モジュールと、インターフェイスバスを介して該ディスクインターフェイスモジュール、該ホストインターフェイスモジュールおよび該管理モジュールをそれぞれ接続されこれらの該ディスクインターフェイスモジュール、該ホストインターフェイスモジュールおよび該管理モジュールの相互間をデータ転送可能に接続するブリッジモジュールとをそなえ、該ディスクインターフェイスモジュール、該ホストインターフェイスモジュール、該管理モジュールおよび該ブリッジモジュールが、2種類以上のモードで相互にデータ転送可能に接続されるとともに、前記2種類以上のモードの中から予め定められている基本モードと、本ストレージ制御装置のリセット時もしくは該モジュール間のデータ転送時に実行されるモード設定シーケンスによって設定されたモードとの一致／不一致を判定する判定手段と、該判定手段により不一致判定がなされた場合に異常が発生したものと判断してエラー通知を行なう通知手段とをそなえて構成されていることを特徴としている。

【0026】

本発明のストレージ制御装置用インターフェイスモジュール（請求項4）は、ディスク装置とホストとの間にそなえられ該ホストの該ディスク装置に対するアクセスを制御するストレージ制御装置において、上述したディスクインターフェイスモジュールもしくはホストインターフェイスモジュールとして用いられるものであって、本インターフェイスモジュールと該ディスク装置もしくは該ホストとの間のデータ転送を制御する第1転送処理部と、本インターフェイスモジュールと該ブリッジモジュールとの間のデータ転送を制御する第2転送処理部とをそなえ、これら2つの転送処理部が、インターフェイスバスを介し2種類以上のモードで相互にデータ転送可能に接続されるとともに、前記2種類以上のモードの中から予め定められている基本モードと、本インターフェイスモジュールのリセット時もしくは該2つの転送処理部間のデータ転送時に実行されるモード設定シーケンスによって設定されたモードとの一致／不一致を判定する判定手段と、該判定手段により不一致判定がなされた場合に異常が発生したものと判断してエラー通知を行なう通知手段とをそなえて構成されていることを特徴としている。

【0027】

ここで、上述した転送モード異常検出機能を有する装置並びにストレージ制御装置および同装置用インターフェイスモジュールにおいて、該通知手段からの前記エラー通知を受

け、前記モード設定シーケンスを再度実行させる制御手段をさらにそなえて構成してもよく、このとき、該制御手段により前記モード設定シーケンスを再度実行させた後に該判定手段により再度不一致判定がなされた場合には、該通知手段が、故障が発生したものと判断して故障通知を行なってもよい。

【0028】

また、該判定手段が、前記モード設定シーケンスの実行時に前記基本モードに対応する確認信号が有効な状態にならない場合に不一致判定を行なってもよい。

なお、該インターフェイスバスを P C I (Peripheral Component Interconnect) バスとし、また、該インターフェイスバスを 64 ビット P C I バス、前記 2 種類以上のモードを 64 ビット転送モードおよび 32 ビット転送モード、前記基本モードを前記 64 ビット転送モードとし、該通知手段が、該判定手段により不一致判定がなされた場合、前記転送モード異常として非効率転送状態が発生したものと判断してエラー通知を行なうように構成してもよい(請求項 2, 5)。

【発明の効果】

【0029】

上述した本発明の転送モード異常検出機能を有する装置並びにストレージ制御装置および同装置用インターフェイスモジュールによれば、2 種類以上のモードの中から予め定められている基本モード(例えば 64 ビット転送モード)と、リセット時やモジュール(もしくは転送処理部)間のデータ転送時に実行されるモード設定シーケンスによって設定されたモードとの一致/不一致が判定され、不一致判定がなされた場合には転送モード異常が発生したものと判断されてエラー通知が行なわれる。従って、そのエラー通知に応じて、例えば 32 ビット転送モードによる非効率なデータ転送状態などの転送モード異常を確実に解消でき、システムの処理性能の低下を確実に抑止することができる。

【発明を実施するための最良の形態】

【0030】

以下、図面を参照して本発明の実施の形態を説明する。

〔1〕本発明の一実施形態の説明

本発明の一実施形態としてのストレージ装置 1 A も、図 4 に示すように、基本的に一般的なストレージ装置 1 とほぼ同様に構成されている。つまり、本実施形態のストレージ装置 1 A も、サーバ(ホスト) 4 からのアクセスに応じて、サーバ 4 からのデータを書き込んだり、サーバ 4 から要求されたデータを読み出してサーバ 4 へ転送したりするものである。そして、このストレージ装置 1 A も、複数のディスクユニット(ディスク装置、物理デバイス) 2 a を有するディスクエンクロージャ 2 と、各ディスクユニット 2 a とサーバ 4 との間にそなえられサーバ 4 の各ディスクユニット 2 a に対するアクセスを制御するストレージ制御装置 3 A とから構成されている。

【0031】

そして、本実施形態のストレージ制御装置 3 A も、図 4 に示すように、基本的に一般的なストレージ制御装置 3 とほぼ同様に、ディスクインターフェイスモジュール 10 A, ホストインターフェイスモジュール 20 A, 管理モジュール 30 および P C I ブリッジモジュール 40 A をそなえて構成されている。

ここで、ディスクインターフェイスモジュール(モジュール) 10 A は、ディスクインターフェイスバス 54 を介してディスクエンクロージャ 2 における各ディスクユニット 2 a とのインターフェイス(データ転送)を制御するものである。

【0032】

ホストインターフェイスモジュール(モジュール) 20 A は、ファイバチャネルインターフェイスバス 50 を介してサーバ 4 とのインターフェイス(データ転送)を制御するものである。

管理モジュール(モジュール) 30 は、本ストレージ制御装置 3 A の全体を統括的に管理するもので、サーバ 4 から各ディスクユニット 2 a に書き込まれるべきデータや、各ディスクユニット 2 a からサーバ 4 へ読み出されるべきデータを一時的に格納するキャッシ

メモリを搭載され、このキャッシュメモリの管理を行なうものである。

【0033】

PCIブリッジモジュール（ブリッジモジュール）40は、PCIバス（インターフェイスバス）51, 52, 53を介してディスクインターフェイスモジュール10A, ホストインターフェイスモジュール20Aおよび管理モジュール30をそれぞれ接続され、これらのディスクインターフェイスモジュール10A, ホストインターフェイスモジュール20Aおよび管理モジュール30の相互間をデータ転送可能に接続するものである。

【0034】

このような構成により、本実施形態のストレージ制御装置3Aにおいても、サーバ4からディスクユニット2aへのデータ書込や、ディスクユニット2aからサーバ4へのデータ読出が、上述したストレージ制御装置3と同様の手順（図4中の矢印A1～A4参照）で実行される。

次に、図1に示すブロック図を参照しながら、本実施形態としてのストレージ制御装置3Aにおけるディスクインターフェイスモジュール10Aおよびホストインターフェイスモジュール20Aの構成について説明する。ディスクインターフェイスモジュール10Aとホストインターフェイスモジュール20Aとは、基本的に同一の構成を有しているが、ホストインターフェイスモジュール20Aには、ファイバチャネルインターフェイスバス50からの光信号を電気信号に変換する機能や、ホストインターフェイスモジュール20Aにおける電気信号を光信号に変換してファイバチャネルインターフェイスバス50へ送出する機能がそなえられ、ディスクインターフェイスモジュール10Aにはこれらの機能がそなえられていない点で異なっている。

【0035】

図1に示すように、ディスクインターフェイスモジュール10Aおよびホストインターフェイスモジュール20A（以下、単にインターフェイスモジュール10A, 20Aという場合がある）は、CPU11A, チップセット12, メモリ13, インターフェイスモジュール—LSI14A, データバッファ15およびファイバチャネルチップ16をそなえて構成されている。

【0036】

CPU（Central Processing Unit）11Aは、本インターフェイスモジュール10A, 20Aを統括的に管理する機能を果たすものであり、本実施形態では、後述する制御手段111としての機能も果たすように構成されている。

チップセット（Chip Set）12は、CPU11Aを他デバイス（例えばメモリ13）に繋ぐための機能や、PCIバス17に接続するための機能を有している。CPU11Aは、このチップセット12を介してメモリ13に接続されるとともに、さらにチップセット12およびPCIバス17を介してインターフェイスモジュール—LSI14Aに接続されている。なお、メモリ13は、例えばSDRAM（Synchronous Dynamic Random Access Memory）によって構成されている。

【0037】

インターフェイスモジュール—LSI（Large Scale Integration；モジュール）14Aは、CPU11Aからの指示に応じ、PCIバス51, 52を介して本インターフェイスモジュール10A, 20AとPCIブリッジモジュール30との間のデータ転送の制御を行なう第2転送処理部として機能するもので、このインターフェイスモジュール—LSI14Aには、データバッファ15が付設されている。このデータバッファ15は、例えばDDR（Double Data Rate）—SDRAMによって構成され、PCIブリッジモジュール40へ転送すべきデータや、PCIブリッジモジュール40から転送されてきたデータなどを一時的に格納するものである。

【0038】

また、インターフェイスモジュール—LSI14Aには、PCIバス51, 52を介してPCIブリッジモジュール40が接続され、PCIバス（インターフェイスバス）17を介してチップセット12が接続され、PCIバス（インターフェイスバス）18を介し

てファイバチャネルチップ16が接続されている。

さらに、本実施形態のインターフェイスモジュールLSI14Aには、後述する判定手段141および通知手段142としての機能がそなえられている。

【0039】

ファイバチャネルチップ（FC-Chip；モジュール）16は、ファイバチャネルインターフェイスバス50もしくはディスクインターフェイスバス54を介して本インターフェイスモジュール10A、20Aと各ディスクユニット2aもしくはサーバ4との間のデータ転送を制御する第1転送処理部として機能するものである。

そして、本実施形態のストレージ制御装置3Aにおいても、インターフェイスモジュールLSI14とファイバチャネルチップ16との間を接続するPCIバス18や、インターフェイスモジュールLSI14A（インターフェイスモジュール10A、20A）とPCIブリッジモジュール40とを接続するPCIバス51、52や、管理モジュール30とPCIブリッジモジュール40とを接続するPCIバス53としては、64ビット幅のものが使用される。

【0040】

従って、これらのPCIバス18、51～53によっても64ビット幅でのデータ転送（64ビット転送モード）と32ビット幅でのデータ転送（32ビット転送モード）との2種類のモードでデータ転送を実行することが可能になっている。そのため、PCIバス18、51～53に接続されるインターフェイスモジュールLSI14A、ファイバチャネルチップ16、管理モジュール30やPCIブリッジモジュール40としては、64ビット幅対応の汎用チップ（LSI）が用いられる。

【0041】

また、本実施形態では、大容量で高速なデータ転送（広帯域データ転送）を実現するために、本ストレージ制御装置3Aが、基本的に、常時、64ビット転送モードで運用されるように、64ビット転送モードが基本モードとして予め定められている。

さらに、本実施形態においても、本インターフェイスモジュール10A、20Aもしくは本ストレージ制御装置3Aのリセット時（パワーオン時を含む）や、モジュール間（例えばファイバチャネルチップ16とインターフェイスモジュールLSI14Aとの間やインターフェイスモジュールLSI14AとPCIブリッジモジュール40との間）のデータ転送開始時には、所定の転送モード設定シーケンス（32ビット転送モードもしくは64ビット転送モードの設定を行なうための信号のやり取り；図2および図3参照）が実行され、その都度、64ビット転送モードが設定されるようになっている。

【0042】

さて、ここで、インターフェイスモジュールLSI14Aにおける判定手段141は、前記基本モード（64ビット転送モード）と前記モード設定シーケンスによって設定されたモードとの一致／不一致を判定するものである。

具体的に、この判定手段141は、モード設定シーケンス実行時にインターフェイスモジュールLSI14AのREQ64信号のアサート（有効化）に応答してアサートされるべき、インターフェイスモジュールLSI14AやPCIブリッジモジュール40からのACK64信号（確認信号）を監視し、このACK64信号がアサートされれば一致であると判定する一方、アサートされないままであれば（例えば所定時間経過しても未アサート状態（確認信号が有効化されない状態）のままであれば）、不一致であると判定するものである。

【0043】

インターフェイスモジュールLSI14Aにおける通知手段142は、判定手段141により不一致判定がなされた場合、転送モード異常として32ビット転送モードによる非効率転送状態が発生したものと判断し、PCIバス17およびチップセット12を介してCPU11Aに対しエラー通知を行なうものである。

また、CPU11Aにおける制御手段111は、インターフェイスモジュールLSI14Aの通知手段142からの前記エラー通知を受けると、インターフェイスモジュール

ー L S I 14 A にモード設定シーケンスを再度実行させるように機能するものである。

【0044】

さらに、本実施形態では、制御手段 111 によりモード設定シーケンスを再度実行させた後に判定手段 141 により再度不一致判定がなされた場合には、通知手段 142 が、故障が発生したものと判断し、P C I バス 17 およびチップセット 12 を介して C P U 11 A に対し故障通知を行なうように構成されている。

なお、上述した制御手段 111、判定手段 141 および通知手段 142 としての機能は、C P U 11 A やインターフェイスモジュールー L S I 14 A が所定のプログラムを実行することによって実現される。このプログラムは、例えばフレキシブルディスク、C D - R O M、C D - R、C D - R W、D V D 等のコンピュータ読取可能な記録媒体に記録された形態で提供される。従って、本発明の機能（ストレージ制御装置 3 A やインターフェイスモジュール 10 A、20 A）は、従来のものに対しハードウェアの特別な追加・変更を行なうことなく、ソフトウェアの変更を行なうだけで実現される。

【0045】

次に、図 2 および図 3 を参照しながら、上述のごとく構成された本実施形態のストレージ制御装置 3 A（インターフェイスモジュール 10 A、20 A）の動作について詳細に説明する。

まず、図 2 に示すシーケンス図を参照しながら、インターフェイスモジュール 10 A、20 A での所定の転送モード設定シーケンス（正常時動作）について説明する。図 3 に示した従来手順と同様、ストレージ制御装置 3 A（インターフェイスモジュール 10 A、20 A）のリセット時や、インターフェイスモジュールー L S I 14 A とファイバチャネルチップ 16 との間のデータ転送開始時や、インターフェイスモジュールー L S I 14 A（インターフェイスモジュール 10 A、20 A）と P C I ブリッジモジュール 40 との間のデータ転送開始時には、図 2 に示すように、インターフェイスモジュールー L S I 14 A が R E Q 64 信号を有効化（アサート）することにより、インターフェイスモジュールー L S I 14 A からファイバチャネルチップ 16 もしくは P C I ブリッジモジュール 40 に対し、64 ビット転送モードによる接続設定要求が伝えられる（矢印 A 31 参照）。

【0046】

この R E Q 64 信号のアサートに応じて、ファイバチャネルチップ 16 もしくは P C I ブリッジモジュール 40 が A C K 64 信号（確認信号）を有効化（アサート）することにより、ファイバチャネルチップ 16 もしくは P C I ブリッジモジュール 40 からインターフェイスモジュールー L S I 14 A に対し、ファイバチャネルチップ 16 もしくは P C I ブリッジモジュール 40 において 64 ビット転送モードによる接続設定要求が確認されたことが伝えられる（矢印 A 32 参照）。

【0047】

このように A C K 64 信号がアサートされた場合、本実施形態のインターフェイスモジュールー L S I 14 A の判定手段 141 では、基本モードである 64 ビット転送モードとモード設定シーケンスによって設定されたモードとが一致したものと判定され、通知手段 142 は動作することなく、インターフェイスモジュールー L S I 14 A は通常の動作を続行する。つまり、A C K 64 信号のアサートに応じて、インターフェイスモジュールー L S I 14 A とファイバチャネルチップ 16 もしくは P C I ブリッジモジュール 40 との間では、P C I バス 18、51、52 を介して 64 ビット転送モードでのデータ転送が開始されることになる（矢印 A 33 参照）。

【0048】

ついで、上述のようなモード設定シーケンスを実行している際に、装置を構成する L S I 等の異常によって、このシーケンスに係る信号の動作タイミングが変動し、基本モードの 64 ビット転送モードではなく 32 ビット転送モードが設定されてしまった場合（インターフェイスモジュール 10 A、20 A での異常時動作）について、図 3 に示すシーケンス図を参照しながら説明する。

【0049】

図3に示す例においても、図2を参照しながら上述したシーケンスと同様、まず、インターフェイスモジュールLSI14AがREQ64信号をアサートすることにより、インターフェイスモジュールLSI14Aからファイバチャネルチップ16もしくはPCIブリッジモジュール40に対し、64ビット転送モードによる接続設定要求が伝えられる(矢印A41参照)。

【0050】

この後、上述のような動作タイミングの変動等の異常発生によって、ファイバチャネルチップ16もしくはPCIブリッジモジュール40からのACK64信号がアサートされない、もしくは、ACK64信号がアサートされているがそのアサート状態がインターフェイスモジュールLSI14Aに伝達されていないといった状況が生じると(矢印A42参照)、インターフェイスモジュールLSI14A側では、ACK64信号が未アサートのままとなる。

【0051】

このようにACK64信号が未アサート状態のままの場合、本実施形態のインターフェイスモジュールLSI14Aの判定手段141では、基本モードである64ビット転送モードとモード設定シーケンスによって設定されたモードとが不一致であると判定され、インターフェイスモジュールLSI14Aの通知手段142によって、転送モード異常として32ビット転送モードによる非効率転送状態が発生したものと判断され、PCIバス17およびチップセット12を介してCPU11Aに対するエラー通知が行なわれる(矢印A43参照)。

【0052】

そして、CPU11AにおいてインターフェイスモジュールLSI14Aの通知手段142からのエラー通知を受けると、制御手段111によって、インターフェイスモジュールLSI14Aにモード設定シーケンスを再度実行させるように、チップセット12およびPCIバス17を介してインターフェイスモジュールLSI14Aに対する再実行依頼が行なわれる(矢印A44参照)。

【0053】

この再実行依頼に応じて、再び、インターフェイスモジュールLSI14AがREQ64信号をアサートすることにより、インターフェイスモジュールLSI14Aからファイバチャネルチップ16もしくはPCIブリッジモジュール40に対し、64ビット転送モードによる接続設定要求が伝えられる(矢印A45参照)。

これに応じて、32ビット転送モードから64ビット転送モードへの復旧が行なわれ、ファイバチャネルチップ16もしくはPCIブリッジモジュール40からのACK64信号がアサートされると(矢印A46参照)、インターフェイスモジュールLSI14Aの判定手段141では、基本モードである64ビット転送モードとモード設定シーケンスによって設定されたモードとが一致したものと判定される。

【0054】

これにより、インターフェイスモジュールLSI14Aとファイバチャネルチップ16もしくはPCIブリッジモジュール40との間では、PCIバス18、51、52を介して64ビット転送モードでのデータ転送が開始されることになる(矢印A47参照)。

上記再実行依頼(矢印A44参照)に応じて64ビット転送モードによる接続設定要求を行なっても、32ビット転送モードから64ビット転送モードへ復旧されず、ファイバチャネルチップ16もしくはPCIブリッジモジュール40からのACK64信号が未アサートのままである場合には、インターフェイスモジュールLSI14Aの通知手段142によって、故障が発生したものと判断され、PCIバス17およびチップセット12を介してCPU11Aに対する故障通知が行なわれ、CPU11Aは、その故障に応じた対処(処理の中断、外部(オペレータ等)への故障通知)を実行することになる。

【0055】

このように、本発明の一実施形態としてのストレージ制御装置3Aおよびインターフェイスモジュール10A、20Aによれば、基本モードである64ビット転送モードとリセ

ット時やデータ転送開始時に実行されるモード設定シーケンスによって設定されたモードとの一致／不一致が判定手段141によって判定され、不一致判定がなされた場合には転送モード異常が発生したものと判断されてCPU11Aに対するエラー通知が行なわれる。

【0056】

従って、そのエラー通知に応じてCPU11Aは制御手段111の機能等を用いて例えば32ビット転送モードによる非効率的なデータ転送状態などの転送モード異常を確実に解消することができ、ストレージ制御装置3Aの処理性能の低下を確実に抑止することができる。

〔2〕その他

なお、本発明は上述した実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。

【0057】

例えば、上述した実施形態では、本発明をストレージ制御装置や同装置用インターフェイスモジュールに適用した場合について説明したが、本発明は、これに限定されるものではなく、PCIバス等のインターフェイスバスを介して2種類以上のモードで相互にデータ転送可能に接続された2以上のモジュールによって構成された装置であれば、上述した実施形態と同様に適用され、上述した実施形態と同様の作用効果を得ることができる。

【0058】

また、上述した実施形態では、ファイバチャネルチップ16とインターフェイスモジュールLSI14との間やインターフェイスモジュールLSI14とPCIブリッジモジュール40との間の転送モード異常を検出する場合について説明したが、本発明は、これに限定されるものではなく、管理モジュール30とPCIブリッジモジュール40との間の転送モード異常を検出する場合にも、上述した実施形態と同様に適用される。その場合、管理モジュール30あるいはPCIブリッジモジュール40に、上述した判定手段141、通知手段142、制御手段111としての機能をもたせることにより、上述した実施形態と同様の作用効果を得ることができる。

【0059】

さらに、上述した実施形態では、2種類異常のモードが64ビットPCIバスによる32ビット転送モードおよび64ビット転送モードである場合や、転送モード異常として32ビット転送による非効率転送状態を検出する場合について説明したが、本発明は、このようなモードや転送モード異常に限定されるものではない。

また、上述した実施形態では、インターフェイスモジュールLSI14Aの通知手段142が、エラー通知や故障通知をCPU11Aに対して行なうように構成されているが、外部（オペレータ等）へ通知するように構成してもよい。この場合、エラー通知や故障通知を受けたオペレータ等が、32ビット転送モードから64ビット転送モードへの復旧作業や、故障の復旧作業を行なうことになる。

【0060】

さらに、上述した実施形態では、サーバ4とストレージ制御装置3Aとの間のインターフェイスがファイバチャネルインターフェイスである場合について説明したが、本発明は、これに限定されるものではない。

〔3〕付記

（付記1） インターフェイスバスを介し2種類以上のモードで相互にデータ転送可能に接続された2以上のモジュールと、

前記2種類以上のモードの中から予め定められている基本モードと、本装置のリセット時もしくは該モジュール間のデータ転送時に実行されるモード設定シーケンスによって設定されたモードとの一致／不一致を判定する判定手段と、

該判定手段により不一致判定がなされた場合に転送モード異常が発生したものと判断してエラー通知を行なう通知手段とをそなえて構成されていることを特徴とする、転送モード異常検出機能を有する装置。

【0061】

(付記2) 該通知手段からの前記エラー通知を受け、前記モード設定シーケンスを再度実行させる制御手段をさらにそなえて構成されていることを特徴とする、付記1記載の転送モード異常検出機能を有する装置。

(付記3) 該制御手段により前記モード設定シーケンスを再度実行させた後に該判定手段により再度不一致判定がなされた場合には、該通知手段が、故障が発生したものと判断して故障通知を行なうことを特徴とする、付記2記載の転送モード異常検出機能を有する装置。

【0062】

(付記4) 該判定手段が、前記モード設定シーケンスの実行時に前記基本モードに対応する確認信号が有効な状態にならない場合に不一致判定を行なうことを特徴とする、付記1～付記3のいずれか一項に記載の転送モード異常検出機能を有する装置。

(付記5) 該インターフェイスバスがP C I (Peripheral Component Interconnect) バスであることを特徴とする、付記1～付記4のいずれか一項に記載の転送モード異常検出機能を有する装置。

【0063】

(付記6) 該インターフェイスバスが64ビットP C Iバスで、前記2種類以上のモードが64ビット転送モードおよび32ビット転送モードで、前記基本モードが前記64ビット転送モードであり、

該通知手段が、該判定手段により不一致判定がなされた場合、前記転送モード異常として非効率転送状態が発生したものと判断してエラー通知を行なうことを特徴とする、付記5記載の転送モード異常検出機能を有する装置。

【0064】

(付記7) ディスク装置とホストとの間にそなえられ該ホストの該ディスク装置に対するアクセスを制御するストレージ制御装置であって、

該ディスク装置とのインターフェイスを制御するディスクインターフェイスモジュールと、

該ホストとのインターフェイスを制御するホストインターフェイスモジュールと、
本装置全体を統括的に管理する管理モジュールと、

インターフェイスバスを介して該ディスクインターフェイスモジュール、該ホストインターフェイスモジュールおよび該管理モジュールをそれぞれ接続されこれらの該ディスクインターフェイスモジュール、該ホストインターフェイスモジュールおよび該管理モジュールの相互間をデータ転送可能に接続するブリッジモジュールとをそなえ、

該ディスクインターフェイスモジュール、該ホストインターフェイスモジュール、該管理モジュールおよび該ブリッジモジュールが、2種類以上のモードで相互にデータ転送可能に接続されるとともに、

前記2種類以上のモードの中から予め定められている基本モードと、本ストレージ制御装置のリセット時もしくは該モジュール間のデータ転送時に実行されるモード設定シーケンスによって設定されたモードとの一致／不一致を判定する判定手段と、

該判定手段により不一致判定がなされた場合に異常が発生したものと判断してエラー通知を行なう通知手段とをそなえて構成されていることを特徴とする、ストレージ制御装置。

【0065】

(付記8) 該通知手段からの前記エラー通知を受け、前記モード設定シーケンスを再度実行させる制御手段をさらにそなえて構成されていることを特徴とする、付記7記載のストレージ制御装置。

(付記9) 該制御手段により前記モード設定シーケンスを再度実行させた後に該判定手段により再度不一致判定がなされた場合には、該通知手段が、故障が発生したものと判断して故障通知を行なうことを特徴とする、付記8記載のストレージ制御装置。

【0066】

(付記10) 該判定手段が、前記モード設定シーケンスの実行時に前記基本モードに対応する確認信号が有効な状態にならない場合に不一致判定を行なうことを特徴とする、付記7～付記9のいずれか一項に記載のストレージ制御装置。

(付記11) 該インターフェイスバスがP C I (Peripheral Component Interconnect) バスであることを特徴とする、付記7～付記10のいずれか一項に記載のストレージ制御装置。

【0067】

(付記12) 該インターフェイスバスが64ビットP C Iバスで、前記2種類以上のモードが64ビット転送モードおよび32ビット転送モードで、前記基本モードが前記64ビット転送モードであり、

該通知手段が、該判定手段により不一致判定がなされた場合、前記転送モード異常として非効率転送状態が発生したものと判断してエラー通知を行なうことを特徴とする、付記11記載のストレージ制御装置。

【0068】

(付記13) ディスク装置とホストとの間にそなえられ該ホストの該ディスク装置に対するアクセスを制御するストレージ制御装置であって、該ディスク装置もしくは該ホストとのインターフェイスを制御するインターフェイスモジュールと、本ストレージ制御装置全体を統括的に管理する管理モジュールと、該インターフェイスモジュールおよび該管理モジュールの相互間をデータ転送可能に接続するブリッジモジュールとをそなえて構成されたストレージ制御装置において用いられる上記インターフェイスモジュールであって、

本インターフェイスモジュールと該ディスク装置もしくは該ホストとの間のデータ転送を制御する第1転送処理部と、

本インターフェイスモジュールと該ブリッジモジュールとの間のデータ転送を制御する第2転送処理部とをそなえ、

これら2つの転送処理部が、インターフェイスバスを介し2種類以上のモードで相互にデータ転送可能に接続されるとともに、

前記2種類以上のモードの中から予め定められている基本モードと、本インターフェイスモジュールのリセット時もしくは該2つの転送処理部間のデータ転送時に実行されるモード設定シーケンスによって設定されたモードとの一致／不一致を判定する判定手段と、

該判定手段により不一致判定がなされた場合に異常が発生したものと判断してエラー通知を行なう通知手段とをそなえて構成されていることを特徴とする、ストレージ制御装置用インターフェイスモジュール。

【0069】

(付記14) 該通知手段からの前記エラー通知を受け、前記モード設定シーケンスを再度実行させる制御手段をさらにそなえて構成されていることを特徴とする、付記13記載のストレージ制御装置用インターフェイスモジュール。

(付記15) 該制御手段により前記モード設定シーケンスを再度実行させた後に該判定手段により再度不一致判定がなされた場合には、該通知手段が、故障が発生したものと判断して故障通知を行なうことを特徴とする、付記14記載のストレージ制御装置用インターフェイスモジュール。

【0070】

(付記16) 該判定手段が、前記モード設定シーケンスの実行時に前記基本モードに対応する確認信号が有効な状態にならない場合に不一致判定を行なうことを特徴とする、付記13～付記15のいずれか一項に記載のストレージ制御装置用インターフェイスモジュール。

(付記17) 該インターフェイスバスがP C I (Peripheral Component Interconnect) バスであることを特徴とする、付記13～付記16のいずれか一項に記載のストレージ制御装置用インターフェイスモジュール。

【0071】

(付記18) 該インターフェイスバスが64ビットPCIバスで、前記2種類以上のモードが64ビット転送モードおよび32ビット転送モードで、前記基本モードが前記64ビット転送モードであり、

該通知手段が、該判定手段により不一致判定がなされた場合、前記転送モード異常として非効率転送状態が発生したものと判断してエラー通知を行なうことを特徴とする、付記17記載のストレージ制御装置用インターフェイスモジュール。

【産業上の利用可能性】

【0072】

以上のように、本発明によれば、転送モード異常が検出されてエラー通知が行なわれるので、そのエラー通知に応じて、例えば32ビット転送モードによる非効率的なデータ転送状態などの転送モード異常を確実に解消でき、システムの処理性能の低下を確実に抑止することができる。

従って、本発明は、例えばホストの物理デバイス（磁気ディスク装置等）に対するアクセスを制御するストレージ制御装置や同装置用インターフェイスモジュールに用いて好適であり、その有用性は極めて高いものと考えられる。

【図面の簡単な説明】

【0073】

【図1】は本発明の一実施形態としてのストレージ制御装置用インターフェイスモジュールの構成を示すブロック図である。

【図2】本実施形態のストレージ制御装置用インターフェイスモジュールの正常時動作を説明するためのシーケンス図である。

【図3】本実施形態のストレージ制御装置用インターフェイスモジュールの異常時動作を説明するためのシーケンス図である。

【図4】一般的なストレージ装置（ストレージ制御装置）および本実施形態のストレージ装置（ストレージ制御装置）の構成を示すブロック図である。

【図5】一般的なストレージ制御装置用インターフェイスモジュールの構成を示すブロック図である。

【図6】一般的なストレージ制御装置用インターフェイスモジュールの正常時動作を説明するためのシーケンス図である。

【図7】一般的なストレージ制御装置用インターフェイスモジュールの異常時動作を説明するためのシーケンス図である。

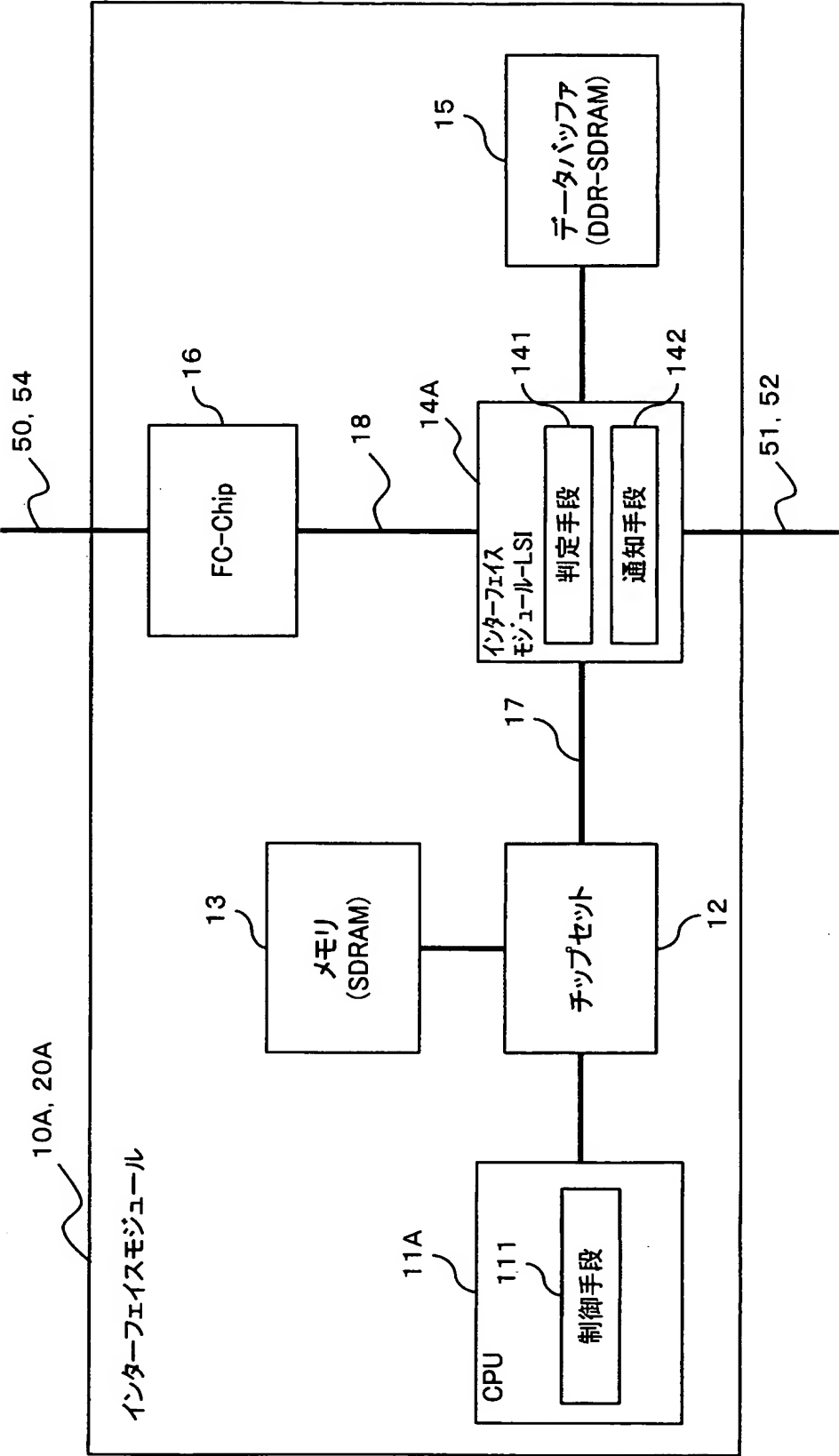
【符号の説明】

【0074】

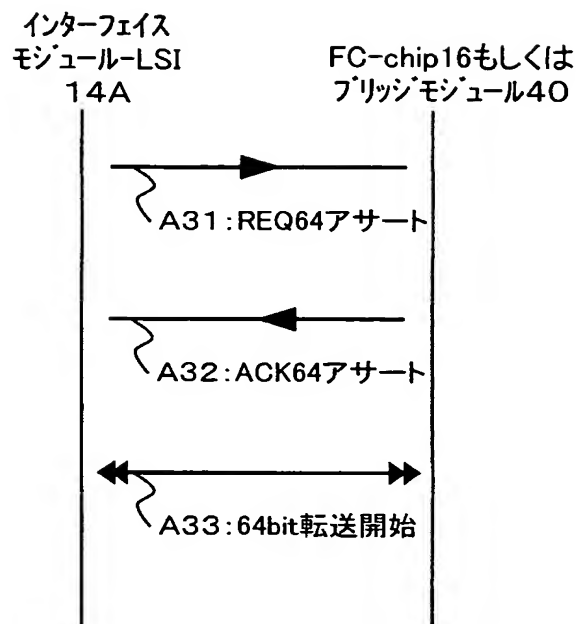
- 1 A ストレージ装置
- 2 ディスクエンクロージャ
- 2 a ディスクユニット（ディスク装置、物理デバイス）
- 3 A ストレージ制御装置
- 4 サーバ（ホスト）
- 10 A ディスクインターフェイスモジュール（モジュール）
- 11 A CPU
- 111 制御手段
- 12 チップセット
- 13 メモリ
- 14 A インターフェイスモジュール—LSI（第2転送処理部、モジュール）
- 141 判定手段
- 142 通知手段
- 15 データバッファ
- 16 ファイバチャネルチップ（第1転送処理部、モジュール）
- 17, 18 PCIバス（インターフェイスバス）
- 20 A ホストインターフェイスモジュール（モジュール）

- 3 0 管理モジュール (モジュール)
- 4 0 P C I ブリッジモジュール (ブリッジモジュール)
- 5 0 ファイバチャネルインターフェイスバス
- 5 1, 5 2, 5 3 P C I バス (インターフェイスバス)
- 5 4 ディスクインターフェイスバス

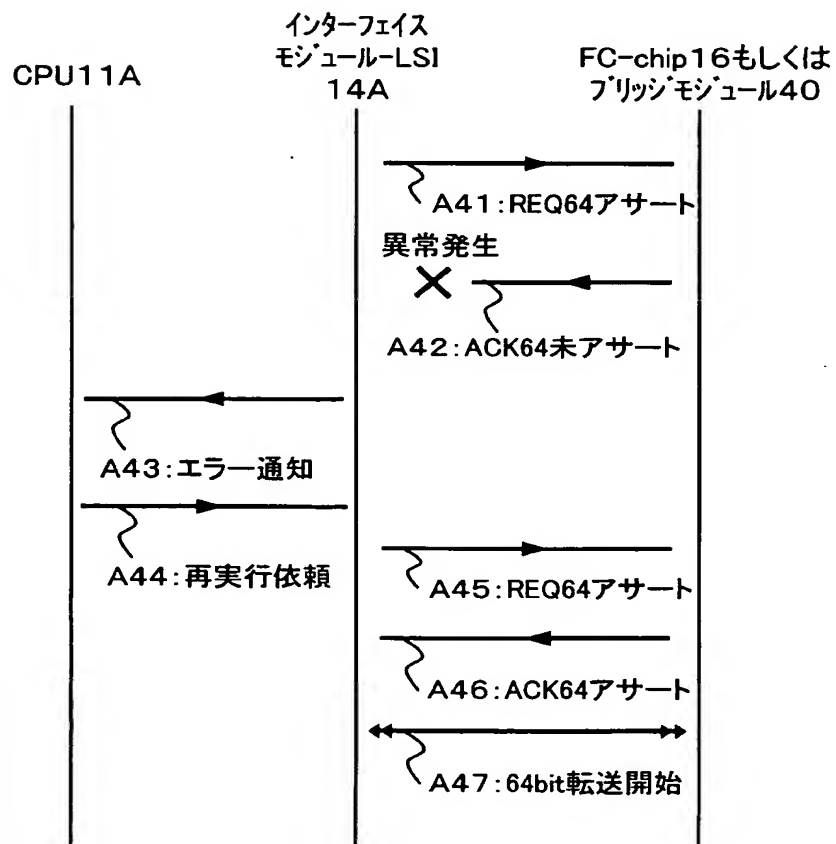
【書類名】 図面
【図 1】



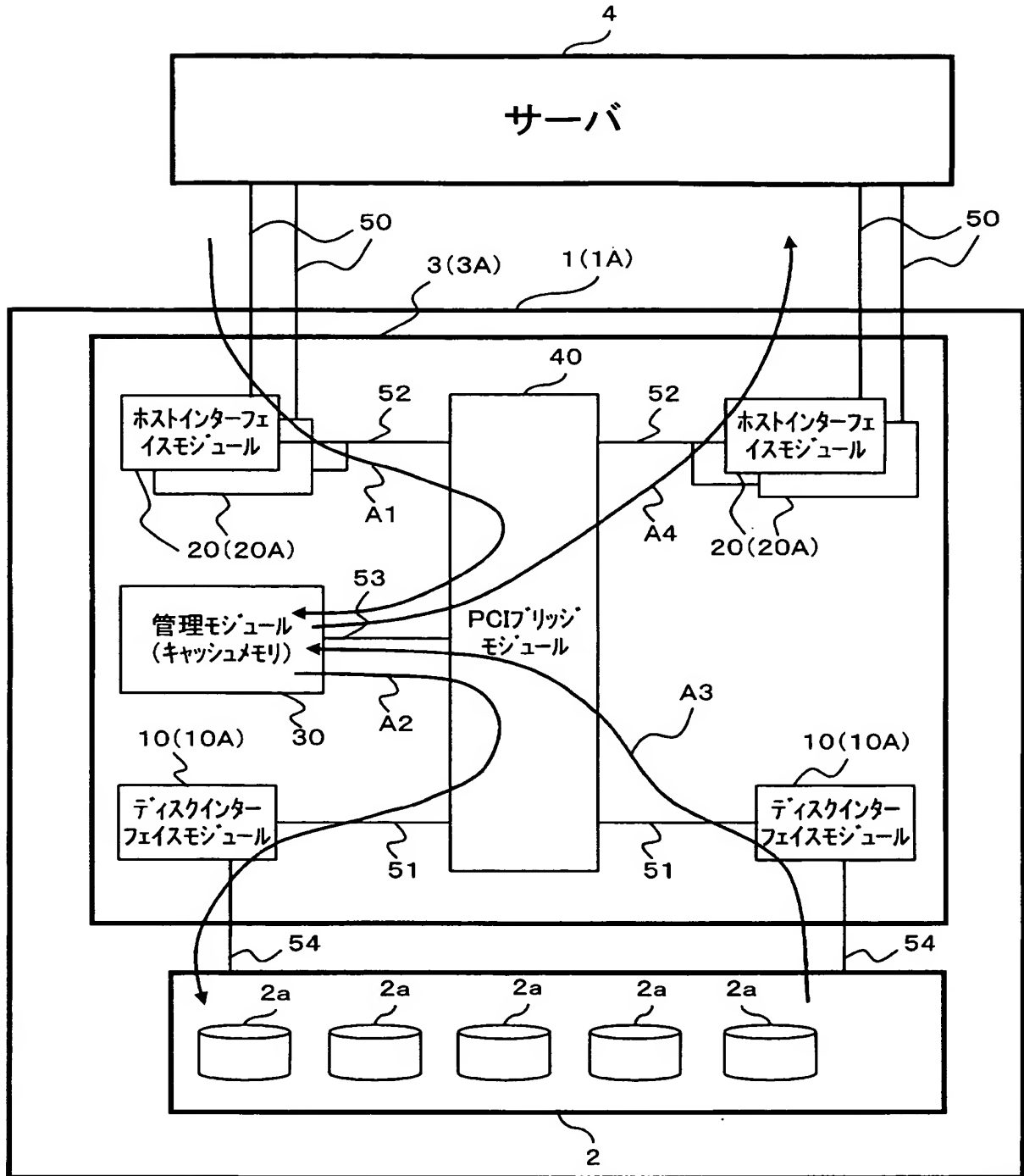
【図 2】



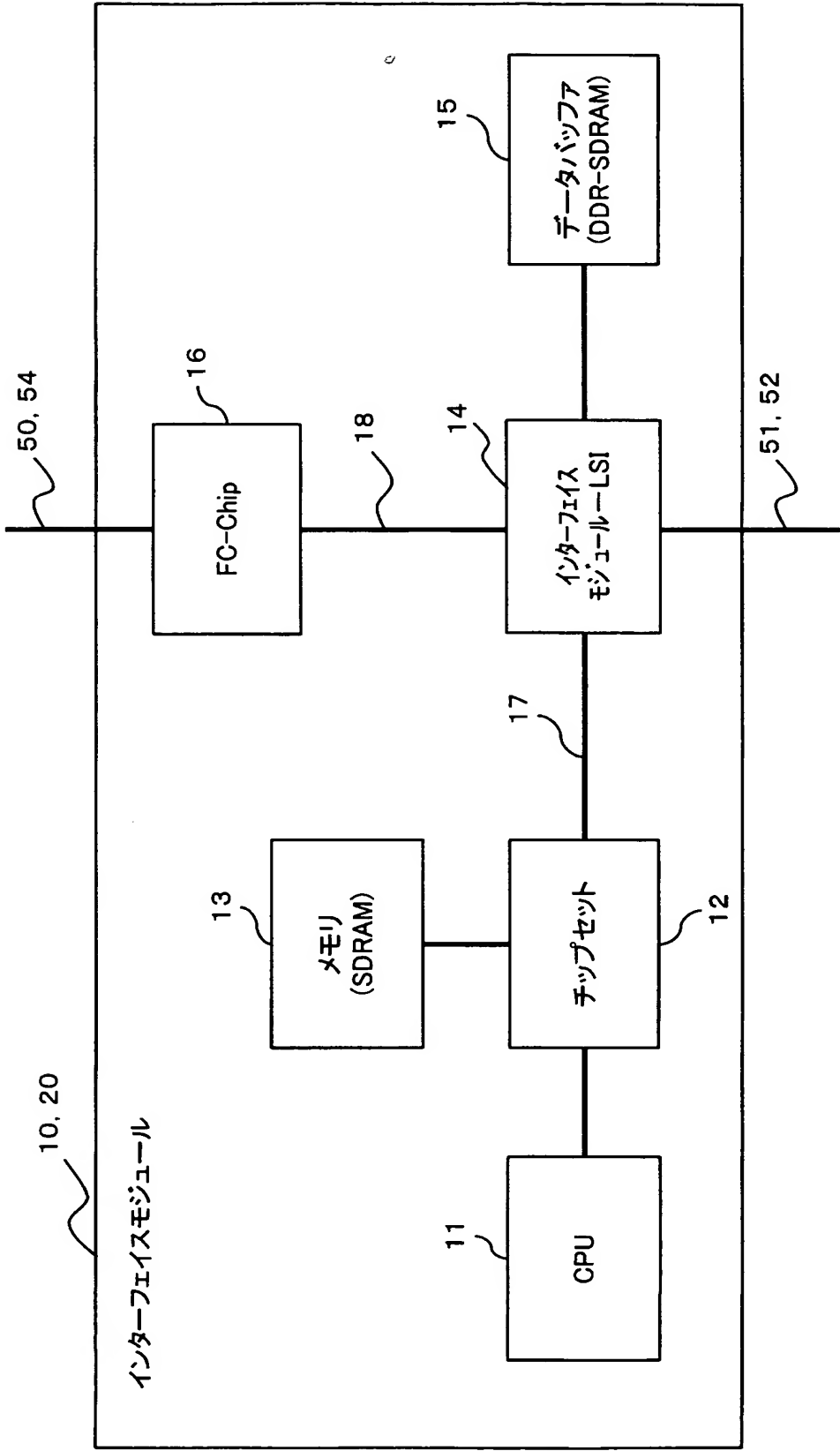
【図 3】



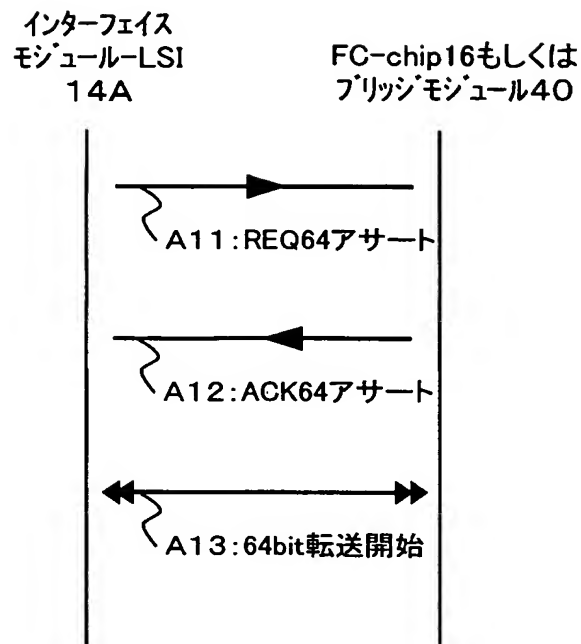
【図 4】



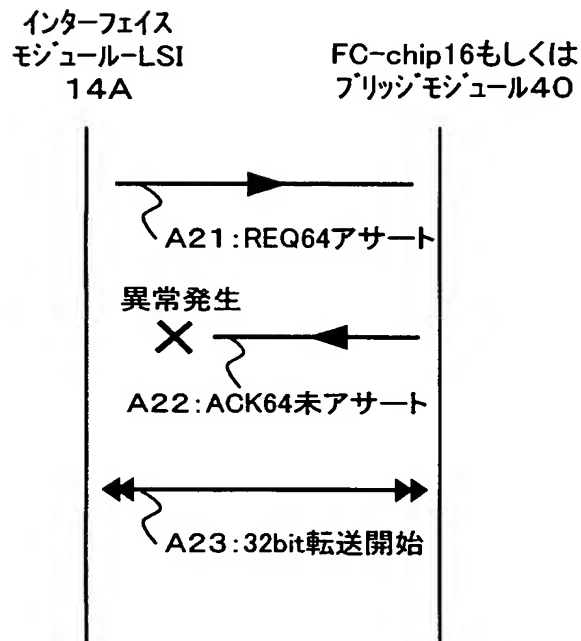
【図 5】



【図 6】



【図 7】



【書類名】 要約書**【要約】**

【課題】例えばホストの物理デバイスに対するアクセスを制御するストレージ制御装置において、基本モードとは異なるモードでのデータ転送状態を転送モード異常として検出し解消できるようにして、システムの処理性能の低下を確実に抑止する。

【解決手段】2種類以上のモードの中から予め定められている基本モードとリセット時もしくはモジュール間データ転送時に実行されるモード設定シーケンスによって設定されたモードとの一致／不一致を判定する判定手段141と、この判定手段141により不一致判定がなされた場合に転送モード異常が発生したものと判断してエラー通知を行なう通知手段142とをそなえる。

【選択図】 図1

特願 2 0 0 3 - 2 9 8 2 0 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1 . 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社